



PTO/SB/21 (08-00)
Approved for use through 10/31/2002. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/604,354
	Filing Date	07/14/2003
	First Named Inventor	Tao Cheng
	Group Art Unit	
	Examiner Name	
Total Number of Pages in This Submission	3	Attorney Docket Number MTKP0024USA

ENCLOSURES (check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment / Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Assignment Papers (for an Application) <input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	
Date	8/19/2003

CERTIFICATE OF MAILING			
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date: 			
Typed or printed name			
Signature		Date	

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (01-03)
Approved for use through 04/30/2003. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/604,354
Filing Date	7/14/2003
First Named Inventor	Tao Cheng
Examiner Name	
Art Unit	
Attorney Docket No.	MTKP0024USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801
Deposit Account Name: North America International Patent Office

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments
☒ Charge any additional fee(s) during the pendency of this application
☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 750	2001 375	Utility filing fee	
1002 330	2002 165	Design filing fee	
1003 520	2003 260	Plant filing fee	
1004 750	2004 375	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	
SUBTOTAL (1)			(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Extra Claims	Fee from below	Fee Paid
Independent Claims	-20** =	X	
Multiple Dependent	-3** =	X	

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 84	2201 42	Independent claims in excess of 3
1203 280	2203 140	Multiple dependent claim, if not paid
1204 84	2204 42	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for ex parte reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 410	2252 205	Extension for reply within second month	
1253 930	2253 465	Extension for reply within third month	
1254 1,450	2254 725	Extension for reply within fourth month	
1255 1,970	2255 985	Extension for reply within fifth month	
1401 320	2401 160	Notice of Appeal	
1402 320	2402 160	Filing a brief in support of an appeal	
1403 280	2403 140	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,300	2453 650	Petition to revive - unintentional	
1501 1,300	2501 650	Utility issue fee (or reissue)	
1502 470	2502 235	Design issue fee	
1503 630	2503 315	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 750	2809 375	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 750	2810 375	For each additional invention to be examined (37 CFR 1.129(b))	
1801 750	2801 375	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature				Date	8/29/2003

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



PTO/SB/02B (11-00)

Approved for use through 10/31/2002. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

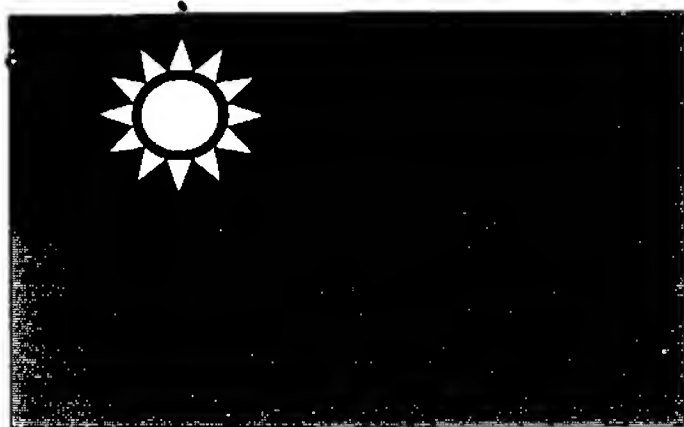
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
091122074	Taiwan, R.O.C.	09/25/2002	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 09 月 25 日
Application Date

申請案號：091122074
Application No.

申請人：聯發科技股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2002 年 10 月 28 日
Issue Date

發文字號：09111021038
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	NPN達靈頓靜電放電保護電路
	英 文	NPN DARLINGTON ESD PROTECTION CIRCUIT
二、 發明人	姓 名 (中文)	1. 鄭道 2. 余定政
	姓 名 (英文)	1. Cheng, Tao 2. Yu, Ding-Jeng
	國 籍	1. 中華民國 2. 中華民國
	住、居所	1. 新竹市建中一路二十九號十五樓之三 2. 新竹市光復路一段八十九巷一 一 一號十三樓之三
三、 申請人	姓 名 (名稱) (中文)	1. 聯發科技股份有限公司
	姓 名 (名稱) (英文)	1. MediaTek Inc.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹市新竹科學工業園區創新一路13號1F
	代表人 姓 名 (中文)	1. 蔡明介
	代表人 姓 名 (英文)	1. Tsai, Ming-Kai



四、中文發明摘要 (發明之名稱：NPN達靈頓靜電放電保護電路)

一種靜電放電保護電路，其包含一 NPN達靈頓電路，以及一 N型金屬氧化半導體電晶體。該 N型金屬氧化半導體電晶體之汲極係連接於該 NPN達靈頓電路之輸入端，該 N型金屬氧化半導體電晶體之源極係連接於該 NPN達靈頓電路之控制端，該 N型金屬氧化半導體電晶體之閘極係連接於該 NPN達靈頓電路之輸出端。

英文發明摘要 (發明之名稱：NPN DARLINGTON ESD PROTECTION CIRCUIT)

An electrostatic discharge protection (ESD) circuit includes an NPN Darlington circuit and an n-type metal oxide semiconductor (NMOS). The drain of NMOS is connected to the input end of the NPN Darlington circuit. The source of NMOS is connected to the control end of the NPN Darlington circuit. The gate of NMOS is connected to the output end of the NPN Darlington circuit.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

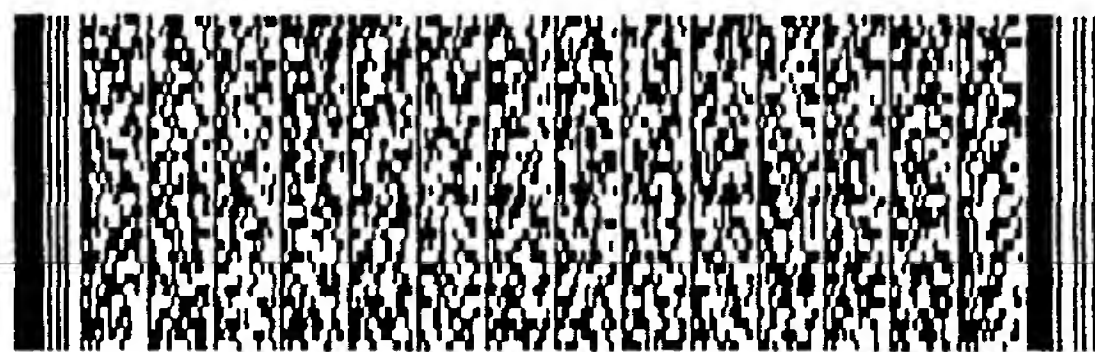
發明之領域：

本發明提供一種靜電放電保護電路，尤指一種 NPN 達靈頓靜電放電保護電路。

背景說明：

靜電 (Static Electricity) 可以說是無所不在的，任何兩個不同材質的物體摩擦，都有可能產生靜電。而當帶有靜電的物體接觸到 IC 的金屬接腳時所產生的瞬間高壓放電，會經由金屬接腳影響內部電路 (internal circuit)，所以說經由靜電放電 (electrostatic discharge, ESD) 所引起的損害，很可能造成電子系統的失效。靜電放電保護電路的主要功能是當有靜電放電發生時，在靜電放電的脈衝 (pulse) 未到達內部電路之前先行啟動，以迅速地消除過高的電壓，進而減少靜電放電現象所導致的破壞，同時該保護電路也必須能承受靜電放電脈衝的能量而不會對保護電路本身造成損害。另外就是該靜電放電保護電路必須只有在靜電放電發生時才會動作，其它的時間則是不動作的，以免影響電子系統的正常運作。

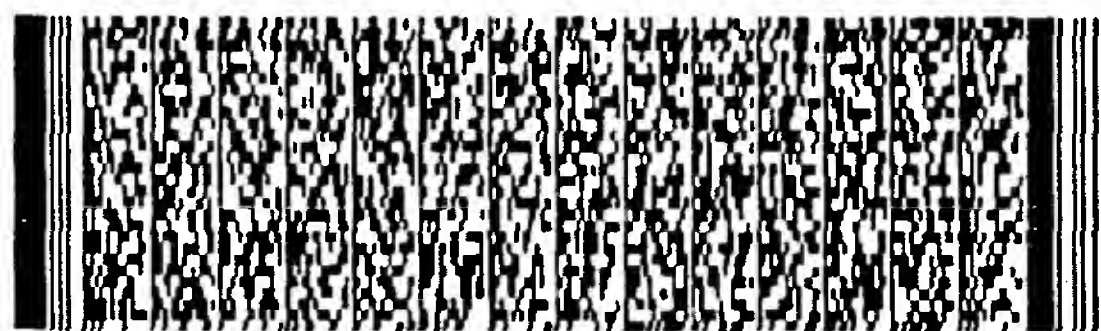
請參考圖一，圖一為習知雙載子電晶體之靜電放電保護電路之電路圖。如圖一所示，在雙載子互補型金屬氧化半導體電晶體 (BiCMOS) 製程中，以一個 NPN 雙載子電晶體



五、發明說明 (2)

(NPN BJT)作為靜電放電保護電路，該NPN雙載子電晶體的基極 (base)浮接，射極 (emitter)接地，集極 (collector)則接至一內部電路的輸入緩衝墊 (input pad)或者是電壓源緩衝墊 (VDD pad)，當該內部電路的輸入緩衝墊或電壓源緩衝墊受一靜電放電脈衝干擾時，該NPN雙載子電晶體即崩潰導通，將靜電放電電流接地。使用基極開路NPN雙載子電晶體作為靜電放電保護電路的優點為NPN雙載子電晶體的輸入電容較小，所以NPN雙載子電晶體能快速的導通，但是NPN雙載子電晶體所能汲取的電流有限，所以靜電放電保護的效果不佳，是使用基極浮接NPN雙載子電晶體作為靜電放電保護電路的缺點。

請參考圖二，圖二為習知金屬氧化半導體電晶體之靜電放電保護電路之電路圖。如圖二所示，以一個金屬氧化半導體電晶體 (MOS)作為靜電放電保護電路，該金屬氧化半導體電晶體的閘極 (gate)連接於其源極 (source)後接地，其汲極 (drain)連接至一內部電路的輸入緩衝墊或者是電壓源緩衝墊，當該內部電路的輸入緩衝墊或電壓源緩衝墊受一靜電放電脈衝干擾時，該金屬氧化半導體電晶體將導通使靜電電流接地。使用閘極接地金屬氧化半導體電晶體的優點為金屬氧化半導體電晶體能汲取較大的電流，對於靜電放電保護的效果較佳，但是由於金屬氧化半導體電晶體的輸入電容較大，所以金屬氧化半導體電晶體的操作速度較慢，可能無法提供內部電子系統完整的保護，是



五、發明說明 (3)

使用閘極接地金屬氧化半導體電晶體作為靜電放電保護電路的缺點。

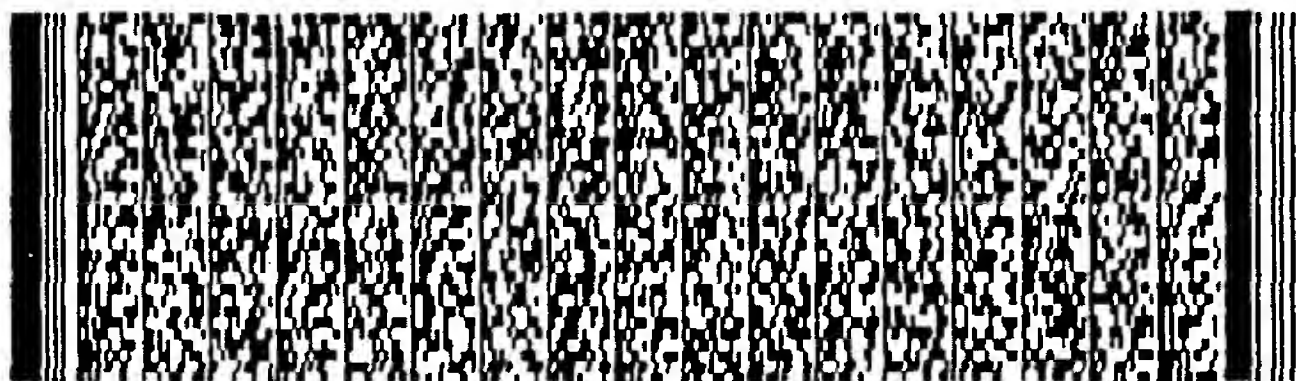
由上述可知，使用基極浮接 NPN 雙載子電晶體作為靜電放電保護電路，操作速度雖快但是靜電放電保護的效果卻不佳；而使用閘極接地金屬氧化半導體電晶體作為靜電放電保護電路可以改善基極浮接 NPN 雙載子電晶體的缺點，得到較好的靜電放電保護的效果，卻因為有較大的輸入電容使得操作速度受到限制。

其他相關的技術可以參考美國專利 5,530,612、美國專利 5,986,863、美國專利 6,028,758、美國專利 6,320,735、美國專利 6,400,540、美國專利申請案 20020027755A1，以及歐洲專利 651,490、歐洲專利 477,429。

發明概述：

因此本發明之主要目的係提供一 NPN 達靈頓靜電放電保護電路，以解決上述問題。

本發明提供一種靜電放電保護電路，其包含一 NPN 達靈頓電路，以及一 N 型金屬氧化半導體電晶體。該 N 型金屬氧化半導體電晶體之汲極係連接於該 NPN 達靈頓電路之輸

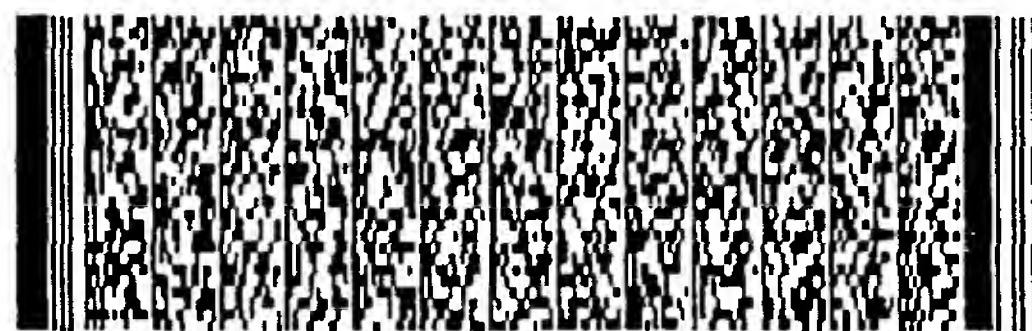
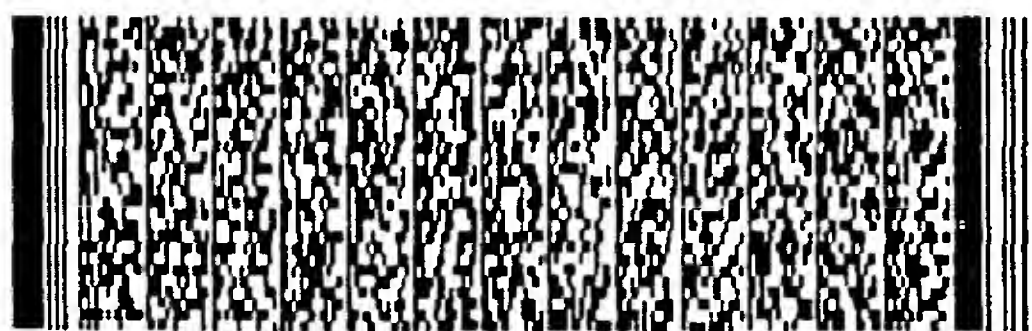


五、發明說明 (4)

入端，該 N 型金屬氧化半導體電晶體之源極係連接於該 NPN 達靈頓電路之控制端，該 N 型金屬氧化半導體電晶體之閘極係連接於該 NPN 達靈頓電路之輸出端。

發明之詳細說明：

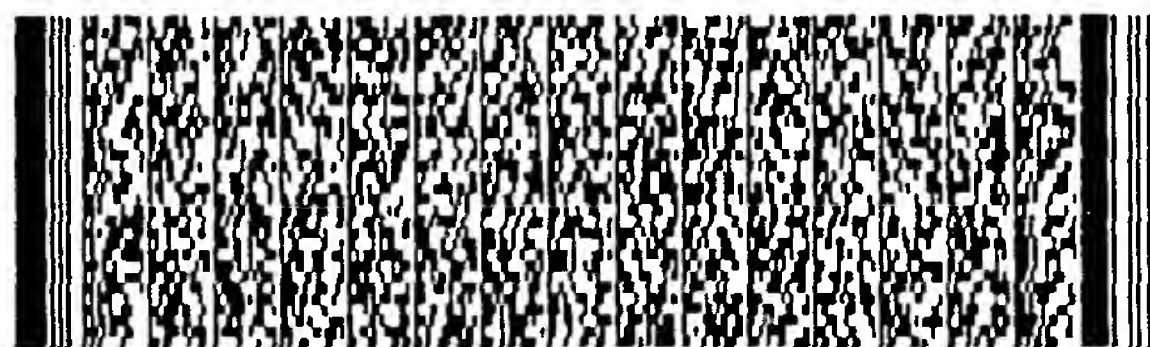
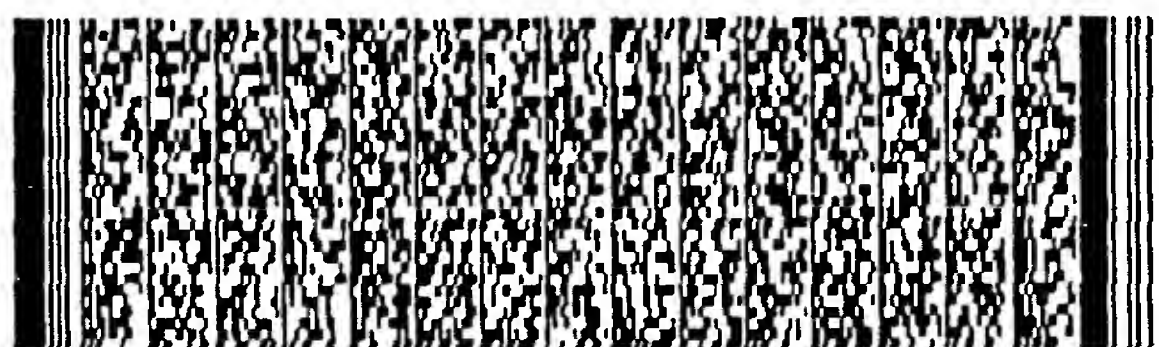
請參考圖三，圖三為本發明靜電放電保護電路之電路圖。本發明之靜電放電保護電路 10 包含一 N 型金屬氧化半導體電晶體 (NMOS) 12，一第一 NPN 雙載子電晶體 (NPN BJT) 14，一第二 NPN 雙載子電晶體 16，一第一電阻 18 以及一第二電阻 20。其中兩個 NPN 雙載子電晶體 14、16 的集極 (collector) 相連在一起，第一 NPN 雙載子電晶體 14 的射極 (emitter) 連接於第二 NPN 雙載子電晶體 16 的基極 (base)，形成一 NPN 達靈頓電路 (NPN Darlington circuit)，第一 NPN 雙載子電晶體 14 的基極為該 NPN 達靈頓電路的控制端，其集極為該 NPN 達靈頓電路的輸入端，第二 NPN 雙載子電晶體 16 的射極為該 NPN 達靈頓電路的輸出端。N 型金屬氧化半導體電晶體 12 的汲極 (drain) 連接於該 NPN 達靈頓電路的輸入端，N 型金屬氧化半導體電晶體 12 的閘極 (gate) 連接於該 NPN 達靈頓電路的輸出端，源極 (source) 連接於該 NPN 達靈頓電路的控制端。該 NPN 達靈頓電路的輸入端連接於一內部電路的輸入緩衝墊 (I/P) 22，其輸出端連接於接地點，而第一電阻 18 連接於第一 NPN 雙載子電晶體 14 的基極與接地點之間，第二電阻 20 連接於第二 NPN 雙載子電晶體



五、發明說明 (5)

16的基極與接地點之間。當該內部電路的輸入緩衝墊 22受一靜電放電脈衝干擾時，N型金屬氧化半導體電晶體 12立即觸發導通，使得一部分的靜電電流流過第一電阻 18在其兩端形成一壓降，此壓降驅動第一 NPN雙載子電晶體 14導通，再使得一部分的靜電電流過第二電阻 20並在其兩端形成另一壓降，此壓降驅動第二 NPN雙載子電晶體 16導通，使得大部分的靜電電流經由此通路接地，達到靜電放電保護的功效。在本實施例中，第二 NPN雙載子電晶體 16的射極寬度為第一 NPN雙載子電晶體 14的兩倍，主要是為了達到更好的靜電放電效果，而第一電阻 18及第二電阻 20只是用來形成一壓降以驅動 NPN雙載子電晶體導通，在此選用的電阻值為 500歐姆。第一 NPN雙載子電晶體 14及第二 NPN雙載子電晶體 16的射極寬度與第一電阻 18及第二電阻 20的電阻值亦可依據實際需要選用合適之值，皆應屬於本發明所涵蓋之範圍。

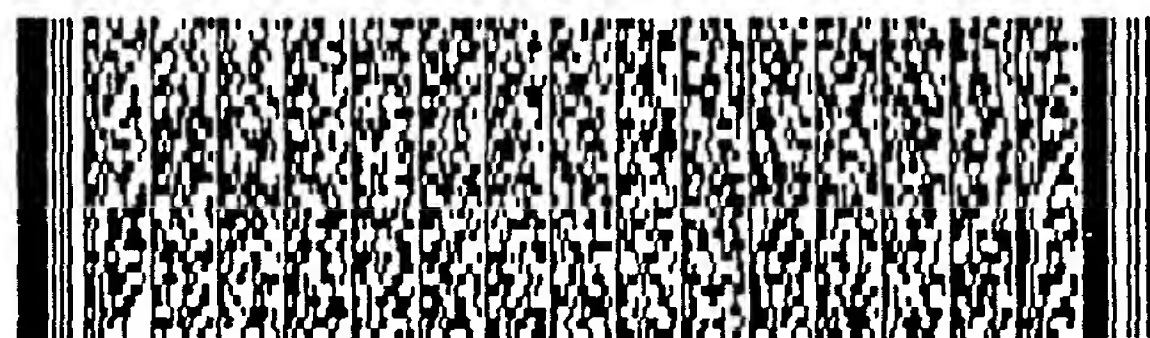
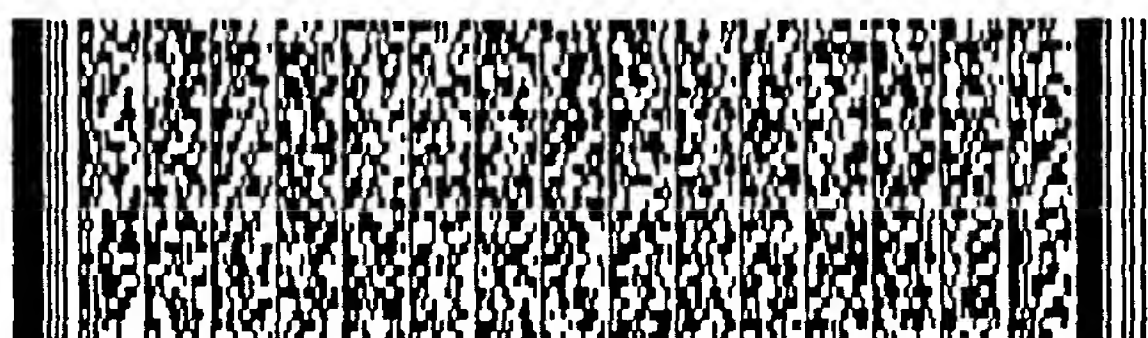
請參考圖四 A及圖四 B，圖四 A及圖四 B為本發明靜電放電保護電路在雙載子互補型金屬氧化半導體電晶體 (BiCMOS)製程中元件結構之示意圖。如圖四 A所示，在雙載子互補型金屬氧化半導體電晶體製程中，先在一 P型基底 (P-substrate) 30上生成一 P型磊晶層 (P-epi layer) 或一 N型磊晶層 (N-epi layer) 32，接著再植入一 N+深埋層 (N+ buried layer) 34於磊晶層 32上，於 N+深埋層 34上形成一 P井 (P well) 38，而 P井 38的四周則注入一 N井 (N+



五、發明說明 (6)

sink)36以環繞 P井 38的方式形成於 N+深埋層 34之上側將 P井 38與 P型基底 30隔離，最後於 P井 38內植入 N+極 (N+ node)40。在上述的結構中，一個 NPN雙載子電晶體是以 N+極 40作為射極，P井 38作為基極，及 N+深埋層 34作為集極，如圖四 A所示。而一個 N型金屬氧化半導體電晶體則是以兩個 N+極 40為汲極及源極，並在兩個 N+極 40的通道上方形成一絕緣層 42作為閘極，如圖四 B所示。在 P井 38中的 N型金屬氧化半導體電晶體被 N井 (NW+ sink)36及 N+深埋層 34所隔絕，如圖三中所示的以圓圈包圍 N型金屬氧化半導體電晶體 12表示之。因為本實施例採用上述特殊的隔離結構，故能以 N型金屬氧化半導體電晶體作為一驅動子 (trigger)來驅動 NPN達靈頓電路，達到較好的靜電放電保護的功效。

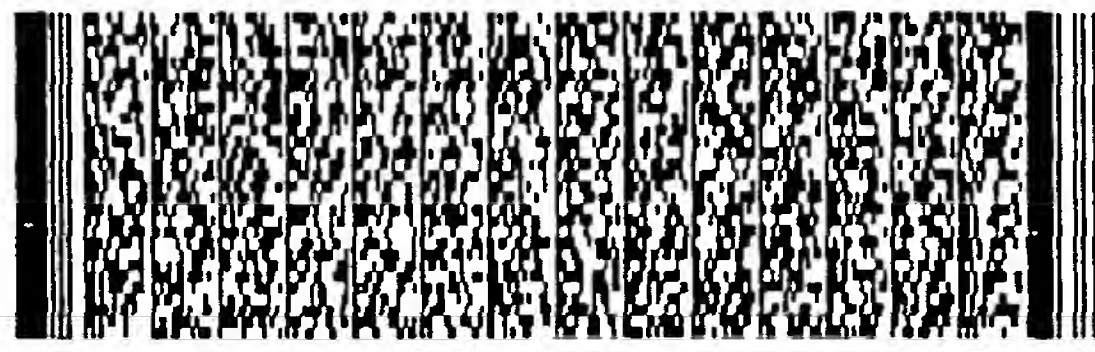
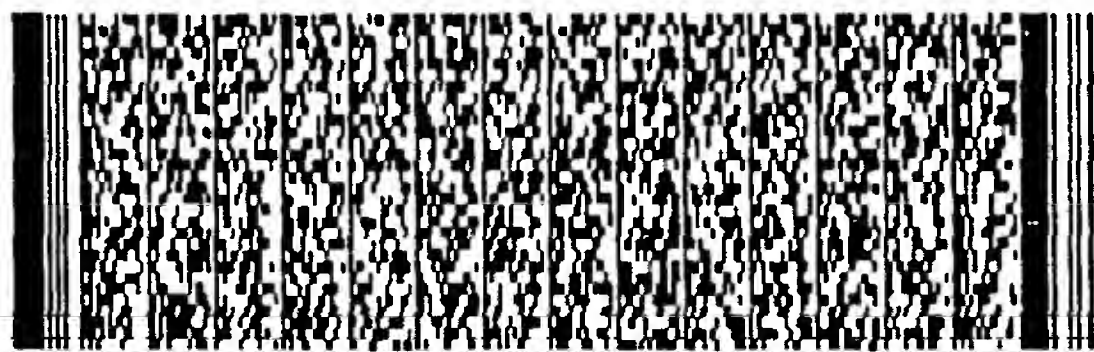
請參考圖五 A及圖五 B，圖五 A及圖五 B為本發明靜電放電保護電路應用在互補型金屬氧化半導體電晶體 (CMOS)製程中元件結構之示意圖。同樣地，在互補型金屬氧化半導體電晶體製程中，也可以利用一 N深井 (deep N well)52來隔離一 P井 54與一 P型基底 50。如圖五 A所示，先在 P型基底 50上植入 N深井 52，接著在 N深井 52上再植入 P井 54，最後於 P井 54內植入 N+極 56。一個 NPN雙載子電晶體是以 N+極 56作為射極，P井 54作為基極，及 N深井 52作為集極，如圖五 A所示。而一個 N型金屬氧化半導體電晶體則是以兩個 N+極 56為汲極及源極，並在兩個 N+極的通道上方形成一絕緣層



五、發明說明 (7)

58作為閘極，如圖五B所示。在P井54中的N型金屬氧化半導體電晶體被N深井52所隔絕，如圖三中所示的以圓圈包圍N型金屬氧化半導體電晶體12表示之。

請參考圖六，圖六為本發明靜電放電保護電路連接電壓源緩衝墊24之電路圖。為使說明更簡潔，圖六之中與圖三之中相同的元件有著相同的功能且使用相同的標號。在圖三之中，該NPN達靈頓電路的輸入端連接於內部電路的輸入緩衝墊22，當該內部電路的輸入緩衝墊22受一靜電放電脈衝干擾時，本發明靜電放電保護電路10立即啟動使靜電電流接地。同樣地，本發明靜電放電保護電路10中之NPN達靈頓電路的輸入端也可以連接於一電壓源緩衝墊24，當電壓源緩衝墊24受一靜電放電脈衝干擾時，本發明靜電放電保護電路10會立即啟動將靜電電流導入接地點。一般常用人體放電模型(Human-Body Model, HBM)及機器放電模型(Machine Model, MM)這兩種型來模擬靜電放電產生的情況，由測量HBM值或MM值可以得知一靜電放電保護電路對於靜電放電保護的效果，HBM值或MM值愈大表示其靜電放電保護的效果愈好。當一靜電放電保護電路連接於一內部電路的輸入緩衝墊時，習知靜電放電保護電路的HBM值約為2.5KV，MM值約為200V，而本發明靜電放電保護電路10的HBM值可達5.5KV，MM值可達500V。當一靜電放電保護電路連接於一電壓源緩衝墊時，習知靜電放電保護電路的HBM值約為5KV，MM值約為200V，而本發明靜電放電保

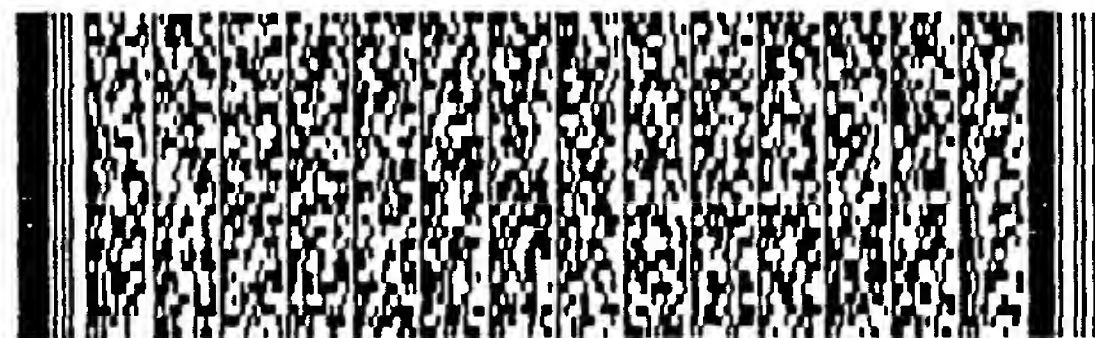
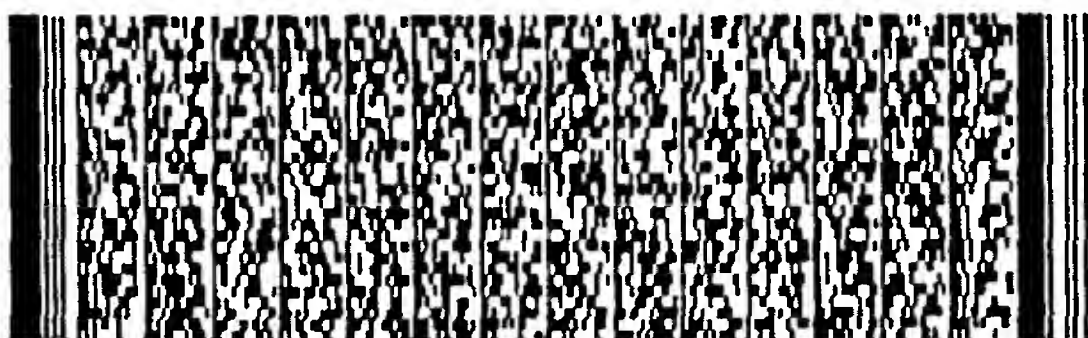


五、發明說明 (8)

護電路 10 的 HBM 值可達 8KV，MM 值可達 400V。由以上的數據可知，本發明靜電放電保護電路 10 可以有效的達到靜電放電保護。

請參考圖七，圖七為本發明互補式靜電放電保護電路之電路圖。在圖三之中，若靜電放電脈衝由電壓源進入，靜電放電電流透過接地點經過靜電放電保護電路到達內部電路之輸入緩衝墊 22，則靜電放電保護的效果可能不足以滿足更高的需求。如圖七所示，若在電壓源及內部電路的輸入緩衝墊 22 間以互補的概念加入一由 PNP 雙載子電晶體及 P 型金屬氧化半導體電晶體所組成的電路 26，其與圖三之中的靜電放電保護電路 10 完全互補，則當一靜電放電脈衝由電壓源進入時，即經由電路 26 直接到達該內部電路之輸入緩衝墊 22，提高靜電放電保護的效果。

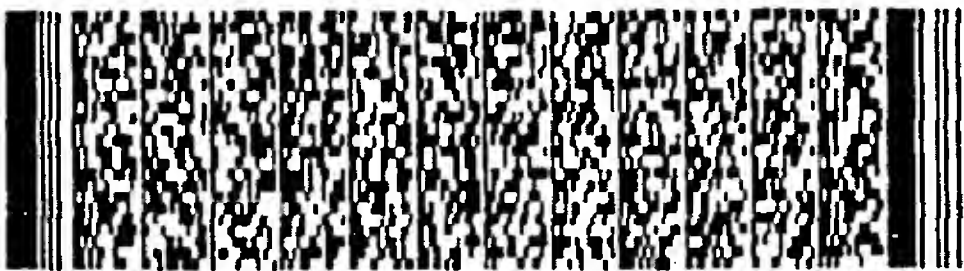
相較於習知技術，本發明靜電放電保護電路 10 在雙載子互補型金屬氧化半導體電晶體製程中以 N 井 36 及 N+ 深埋層 34 隔離 P 井 38 中的 N 型金屬氧化半導體電晶體，在互補型金屬氧化半導體電晶體製程中以 N 深井 52 隔離 P 井 54 中的 N 型金屬氧化半導體電晶體，利用這種隔離的技術製作 N 型金屬氧化半導體電晶體 12 作為驅動子來驅動由兩個 NPN 雙載子電晶體 14、16 所組成的 NPN 達靈頓電路，使靜電電流能快速的通過達到靜電放電保護的效果。由實驗值可知，不論本發明靜電放電保護電路 10 連接於內部電路的輸入緩



五、發明說明 (9)

衝墊 22或是電壓源緩衝墊 24，都能比習知技術更有效的達到靜電放電的保護。

以上所述僅為本發明之較佳實施例，凡依本發明之精神所做之均等變化與修飾，皆應屬本發明專利的涵蓋範圍。



圖式簡單說明

圖式之簡單說明：

圖一為習知雙載子電晶體之靜電放電保護電路之電路圖。

圖二為習知金屬氧化半導體電晶體之靜電放電保護電路之電路圖。

圖三為本發明靜電放電保護電路之電路圖。

圖四 A及圖四 B為本發明靜電放電保護電路在雙載子互補電晶體製程中元件結構之示意圖。

圖五 A及圖五 B為本發明靜電放電保護電路在互補電晶體製程中元件結構之示意圖。

圖六為本發明靜電放電保護電路連接電壓源緩衝墊之電路圖。

圖七為本發明互補式靜電放電保護電路之電路圖。

圖式之符號說明：

10 本發明靜電放電保護電路

12 N型金屬氧化半導體電晶體

14 第一 NPN雙載子電晶體

16 第二 NPN雙載子電晶體

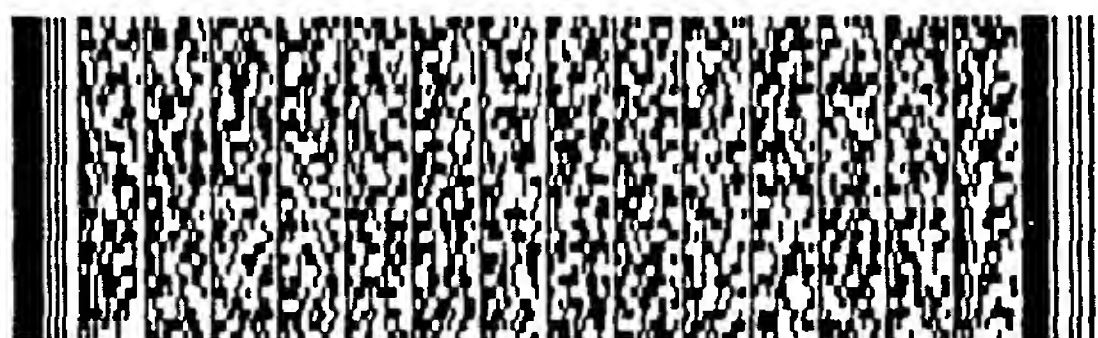
18 第一電阻

20 第二電阻

22 輸入緩衝墊

24 電壓源緩衝墊

26 本發明靜電放電保護電路之互補電路



圖式簡單說明

30	P型 基 底	32	P型 磊 晶 層 或 N型 磊 晶 層
34	N+深 埋 層	36	N井
38	P井	40	N+極
42	絕 緣 層	50	P型 基 底
52	N深 井	54	P井
56	N+極	58	絕 緣 層



六、申請專利範圍

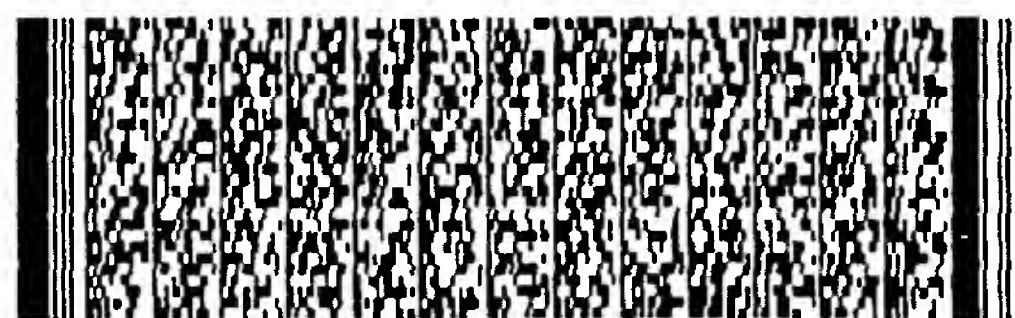
1. 一種靜電放電保護電路 (electrostatic discharge protection circuit)，其包含：

一 npn達靈頓電路 (npn Darlington circuit)，其具有一輸入端及一輸出端，該 npn達靈頓電路之輸出端係接地；以及

一 N型金屬氧化半導體電晶體 (NMOS)，其汲極 (drain) 係連接於該 npn達靈頓電路之輸入端，該 N型金屬氧化半導體電晶體之源極 (source) 係連接於該 npn達靈頓電路之控制端，該 N型金屬氧化半導體電晶體之閘極 (gate) 係連接於該 npn達靈頓電路之輸出端。

2. 如申請專利範圍第 1 項所述之靜電放電保護電路，其中該 npn達靈頓電路包含二 npn雙載子電晶體，每一 npn雙載子電晶體包含一 N+深埋層 (N+ buried layer)，一 P井 (P well)，形成於該 N+深埋層之上側，一 N井 (N well)，以環繞該 P井的方式形成於該 N+深埋層之上側，以及一 N+極 (N+ node)，形成於該 P井之上側；而該 N型金屬氧化半導體電晶體包含一 N+深埋層，一 P井，形成於該 N+深埋層之上側，一 N井，以環繞該 P井的方式形成於該 N+深埋層之上側，以及二 N+極 (N+ node)，形成於該 P井之上側。

3. 如申請專利範圍第 2 項所述之靜電放電保護電路，其中該二雙載子電晶體及該 N型金屬氧化半導體電晶體係形成於一 P型基底 (P-substrate) 上，而該二 npn雙載子電晶



六、申請專利範圍

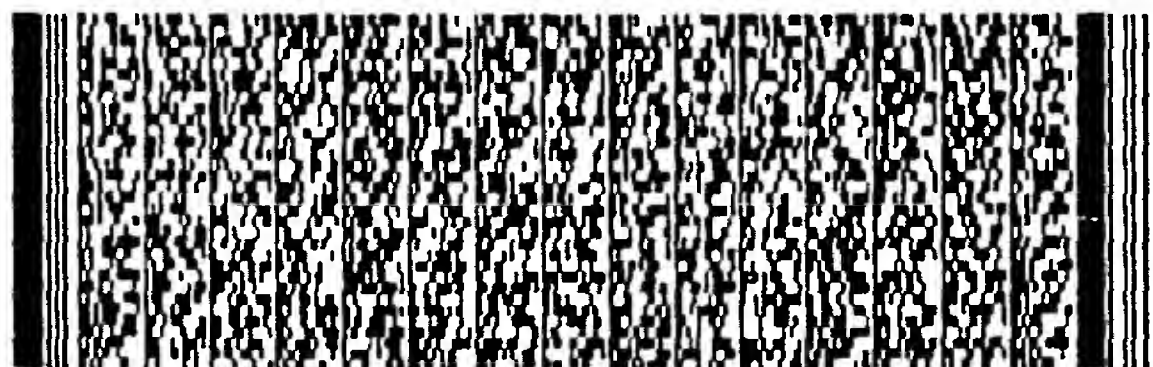
體及該 N型金屬氧化半導體電晶體之 N井係用來將其 P井與該 P型基底隔離。

4. 如申請專利範圍第 3項所述之靜電放電保護電路，其中該 P型基底上形成有一 P型磊晶層 (P-epi layer)，而該二雙載子電晶體及該 N型金屬氧化半導體電晶體係形成於該 P型磊晶層上。

5. 如申請專利範圍第 3項所述之靜電放電保護電路，其中該 P型基底上形成有一 N型磊晶層 (N-epi layer)，而該二雙載子電晶體及該 N型金屬氧化半導體電晶體係形成於該 N型磊晶層上。

6. 如申請專利範圍第 3項所述之靜電放電保護電路，其係經由一雙載子互補型金屬氧化半導體電晶體 (BiCMOS)製程來形成。

7. 如申請專利範圍第 1項所述之靜電放電保護電路，其中該 npn達靈頓電路包含二 npn雙載子電晶體，每一 npn雙載子電晶體包含一 N深井 (deep N well)，一 P井 (P well)，形成於該 N深井之上側，以及一 N+極 (N+ node)，形成於該 P井之上側；而該 N型金屬氧化半導體電晶體包含一 N深井，一 P井，形成於該 N深井之上側，以及二 N+極 (N+ node)，形成於該 P井之上側。



六、申請專利範圍

8. 如申請專利範圍第7項所述之靜電放電保護電路，其中該二雙載子電晶體及該N型金屬氧化半導體電晶體係形成於一P型基底(P-substrate)上，而該二npn雙載子電晶體及該N型金屬氧化半導體電晶體之N深井會將其P井與該P型基底隔離。

9. 如申請專利範圍第8項所述之靜電放電保護電路，其係經由一互補型金屬氧化半導體電晶體(CMOS)製程來形成。

10. 如申請專利範圍第1項所述之靜電放電保護電路，其中該npn達靈頓電路之輸入端係連接於一電路之輸入端。

11. 如申請專利範圍第1項所述之靜電放電保護電路，其中該npn達靈頓電路之輸入端係連接於一電壓源。

12. 如申請專利範圍第1項所述之靜電放電保護電路，其另包含：

一 pnp達靈頓電路(pnp Darlington circuit)，其輸入端係連接於該npn達靈頓電路之輸入端，該pnp達靈頓電路之輸出端係連接於一電壓源；以及

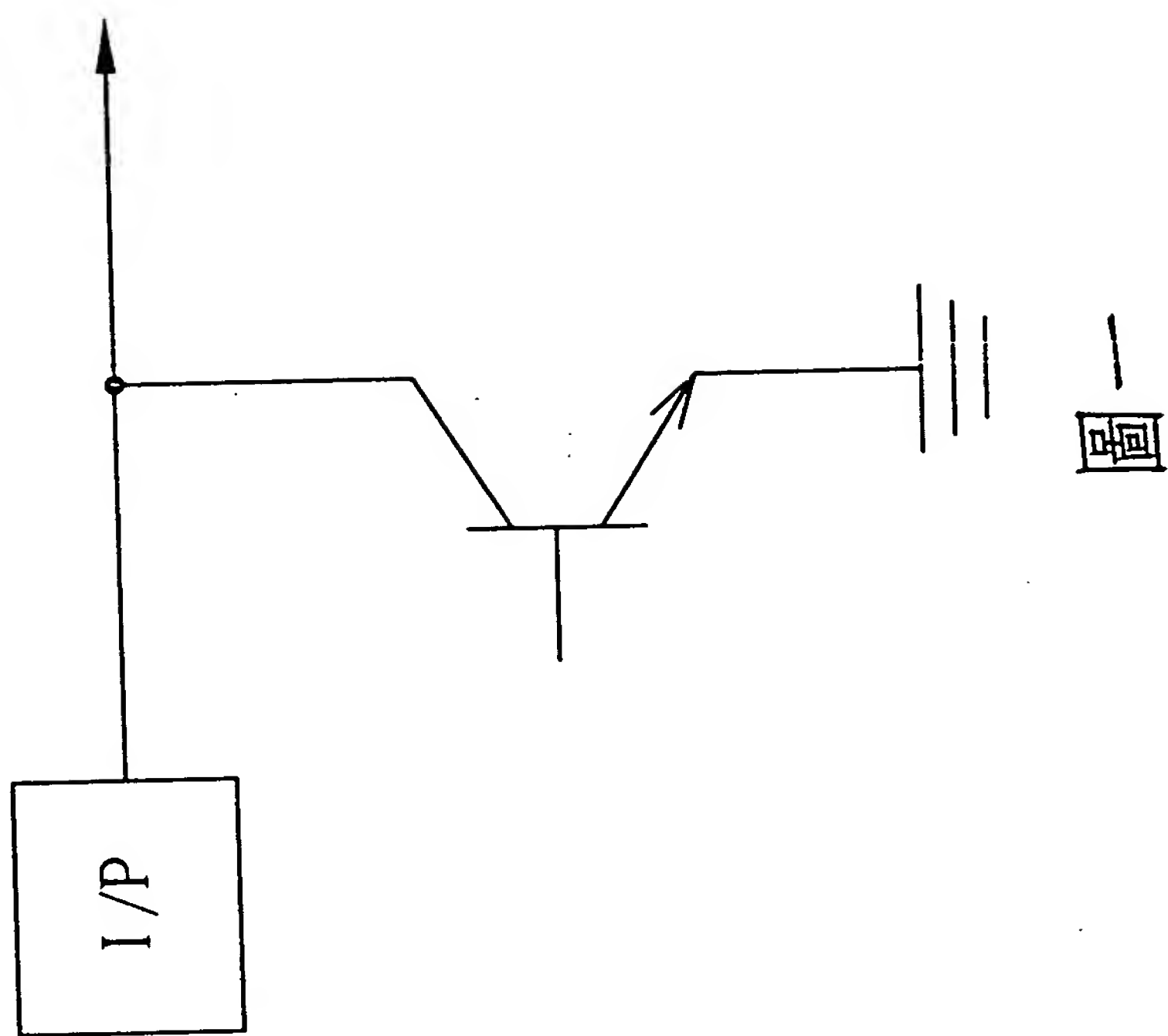
一 P型金屬氧化半導體電晶體(PMOS)，其汲極(drain)係連接於該pnp達靈頓電路之輸入端，該P型金屬氧化半導體電

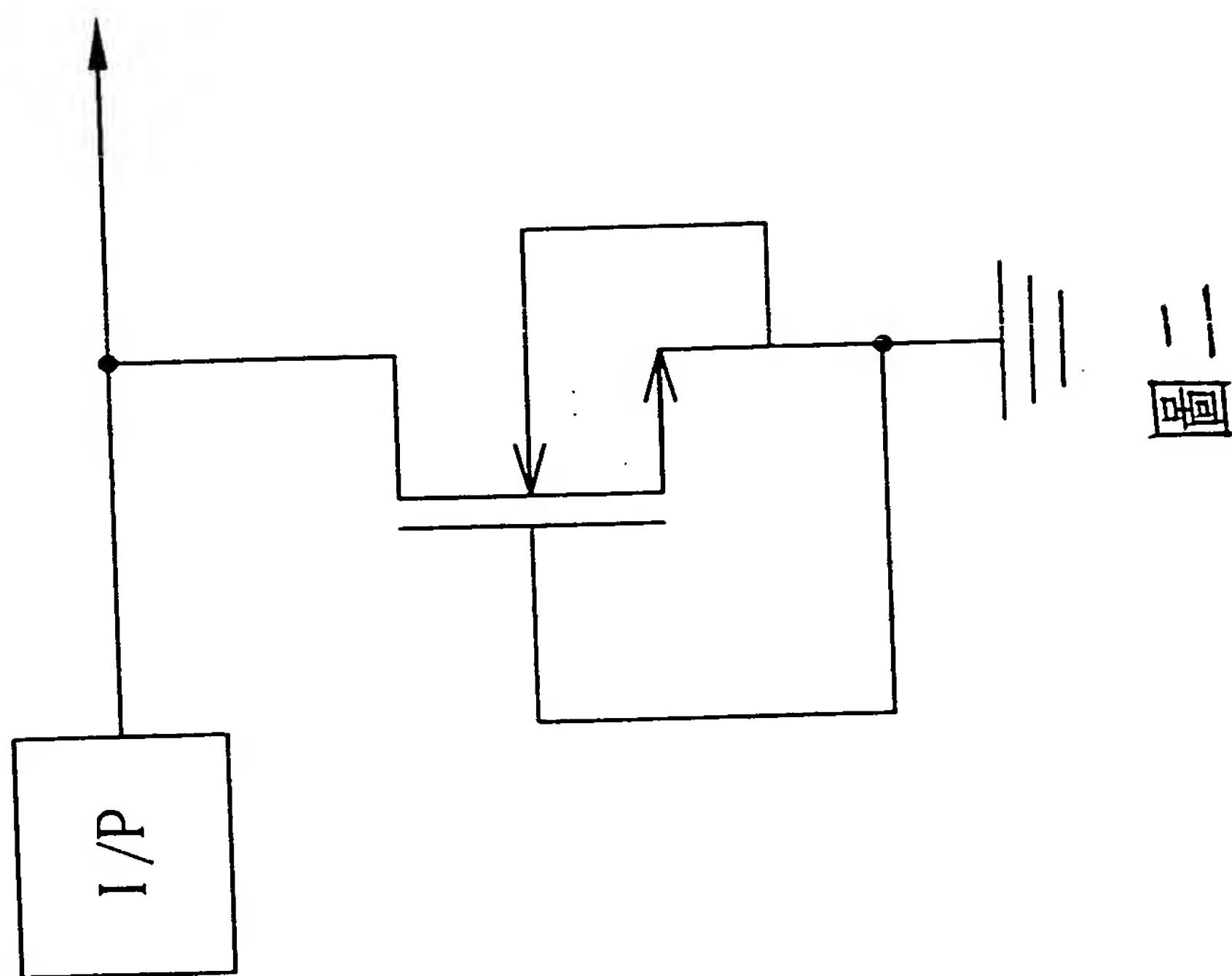


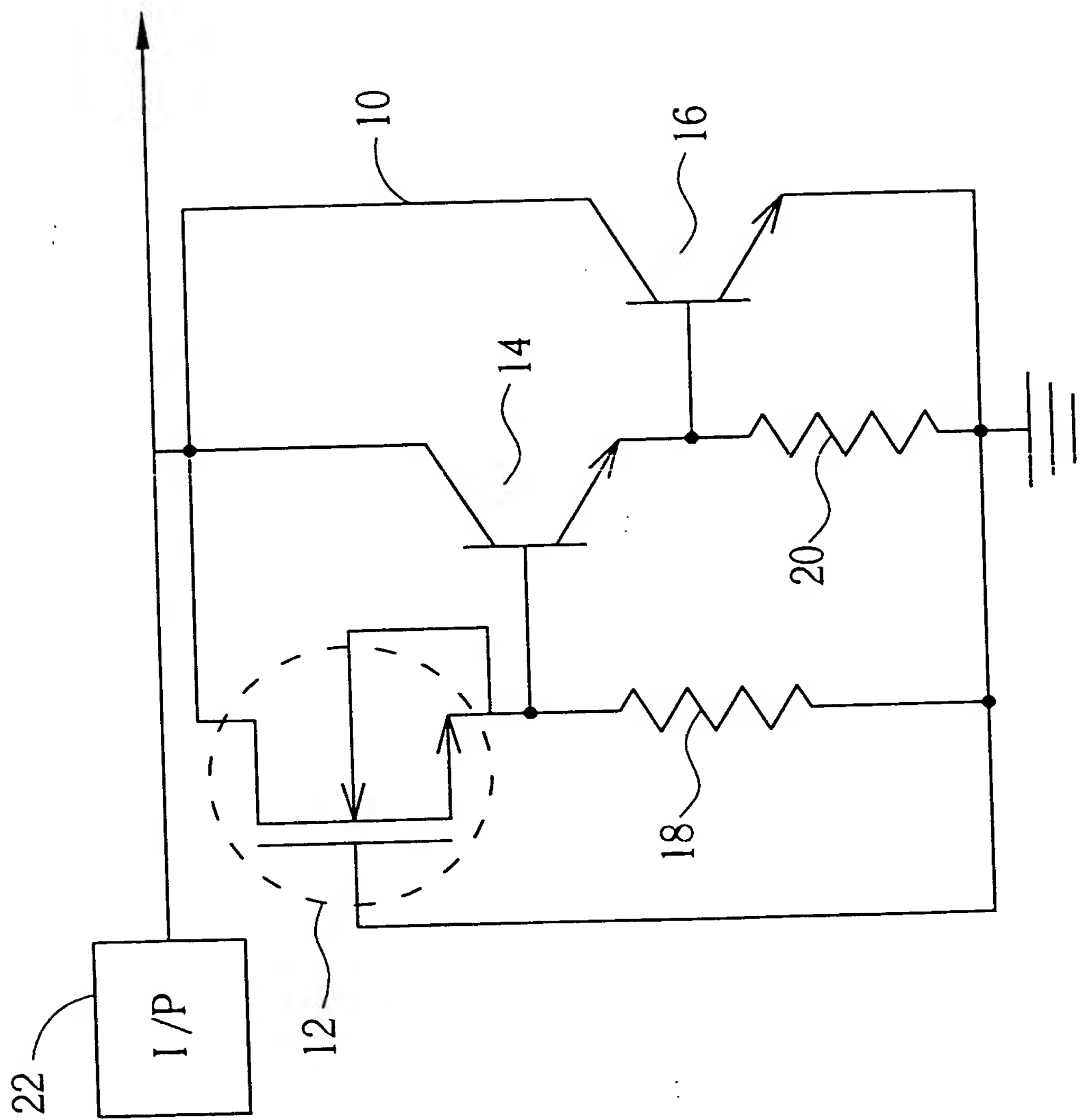
六、申請專利範圍

晶體之源極 (source)係連接於該 pnp達靈頓電路之控制端，該 P型金屬氧化半導體電晶體之閘極 (gate)係連接於該 pnp達靈頓電路之輸出端。

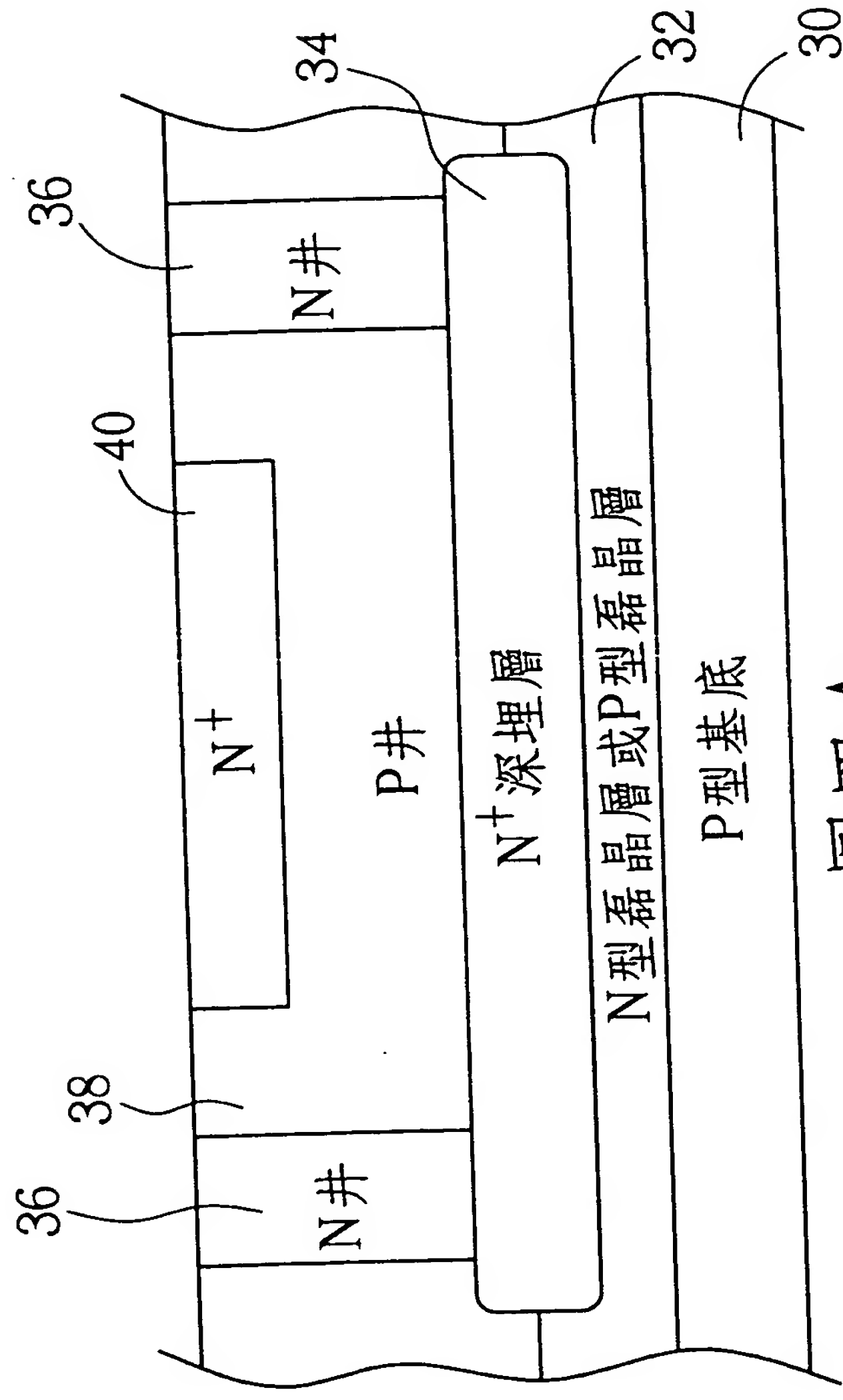




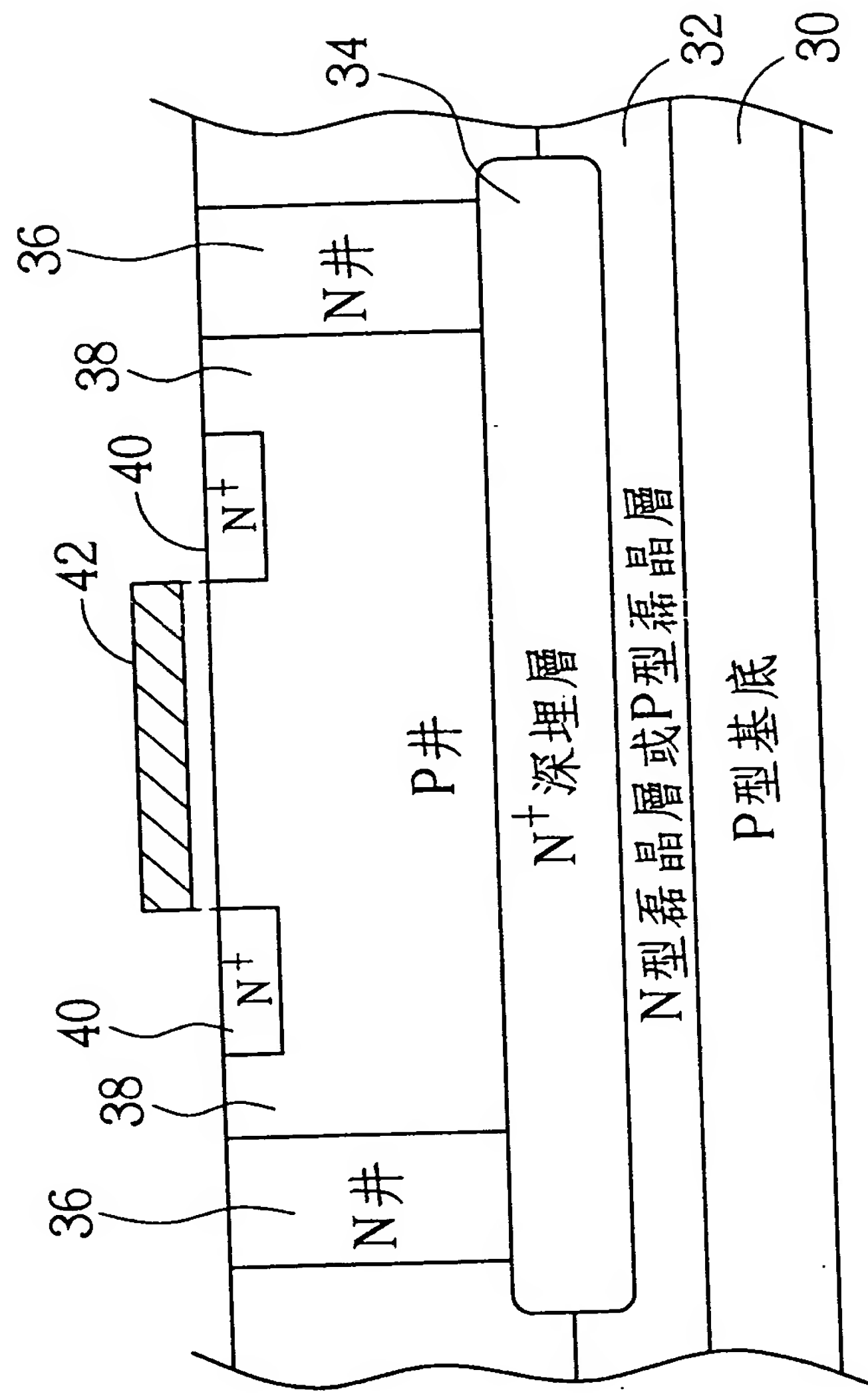




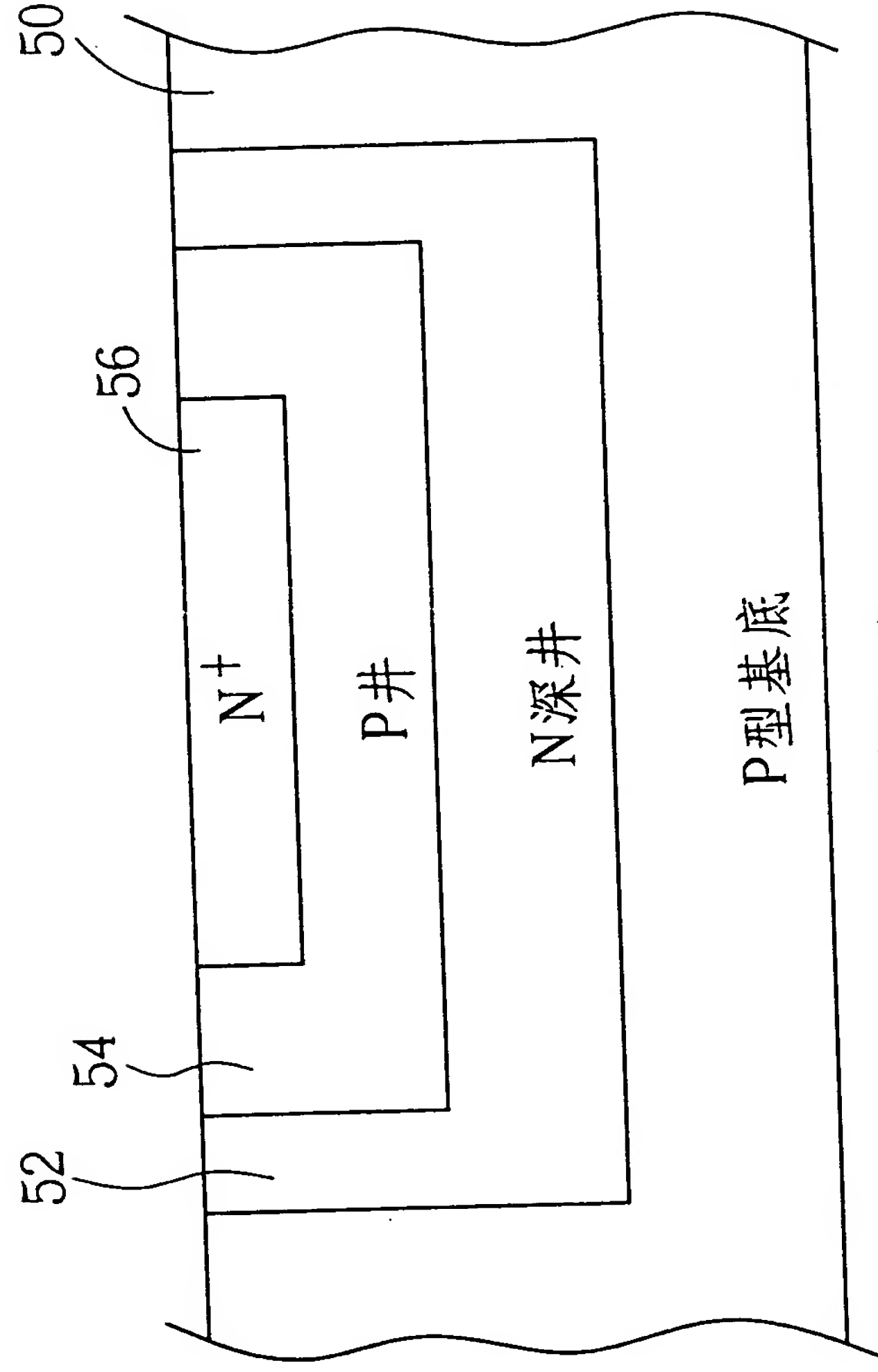
圖三



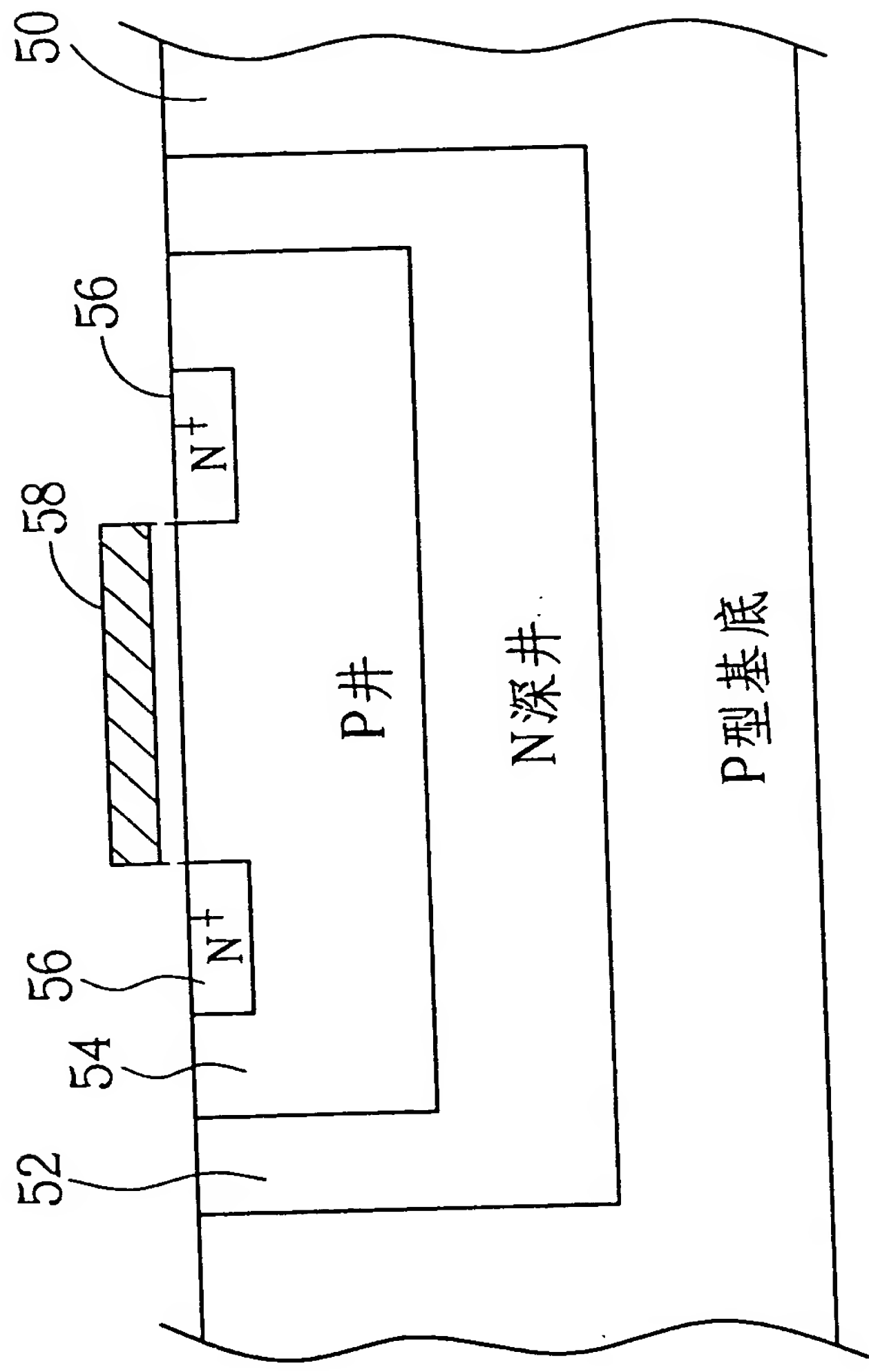
圖四 A



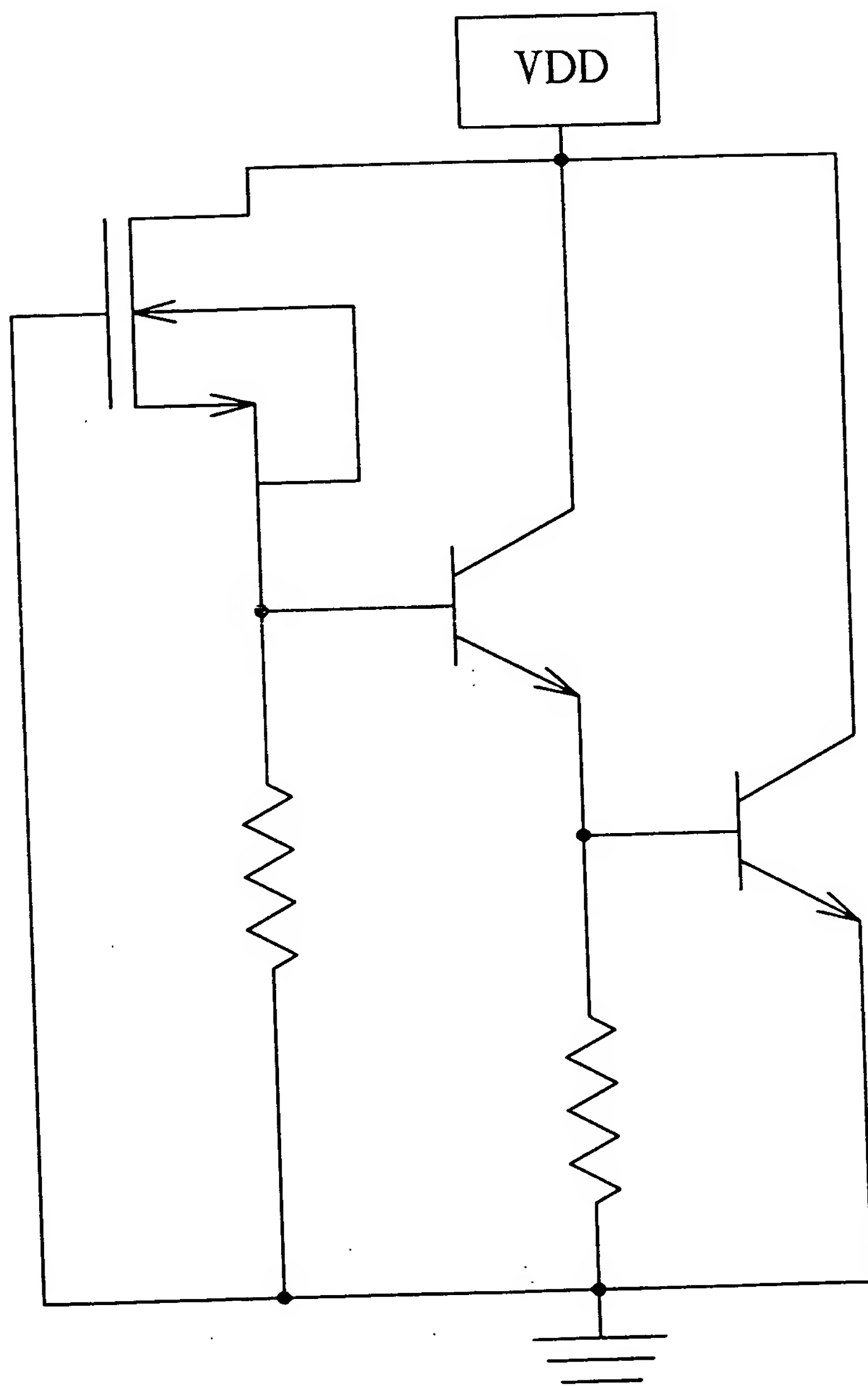
圖四 B



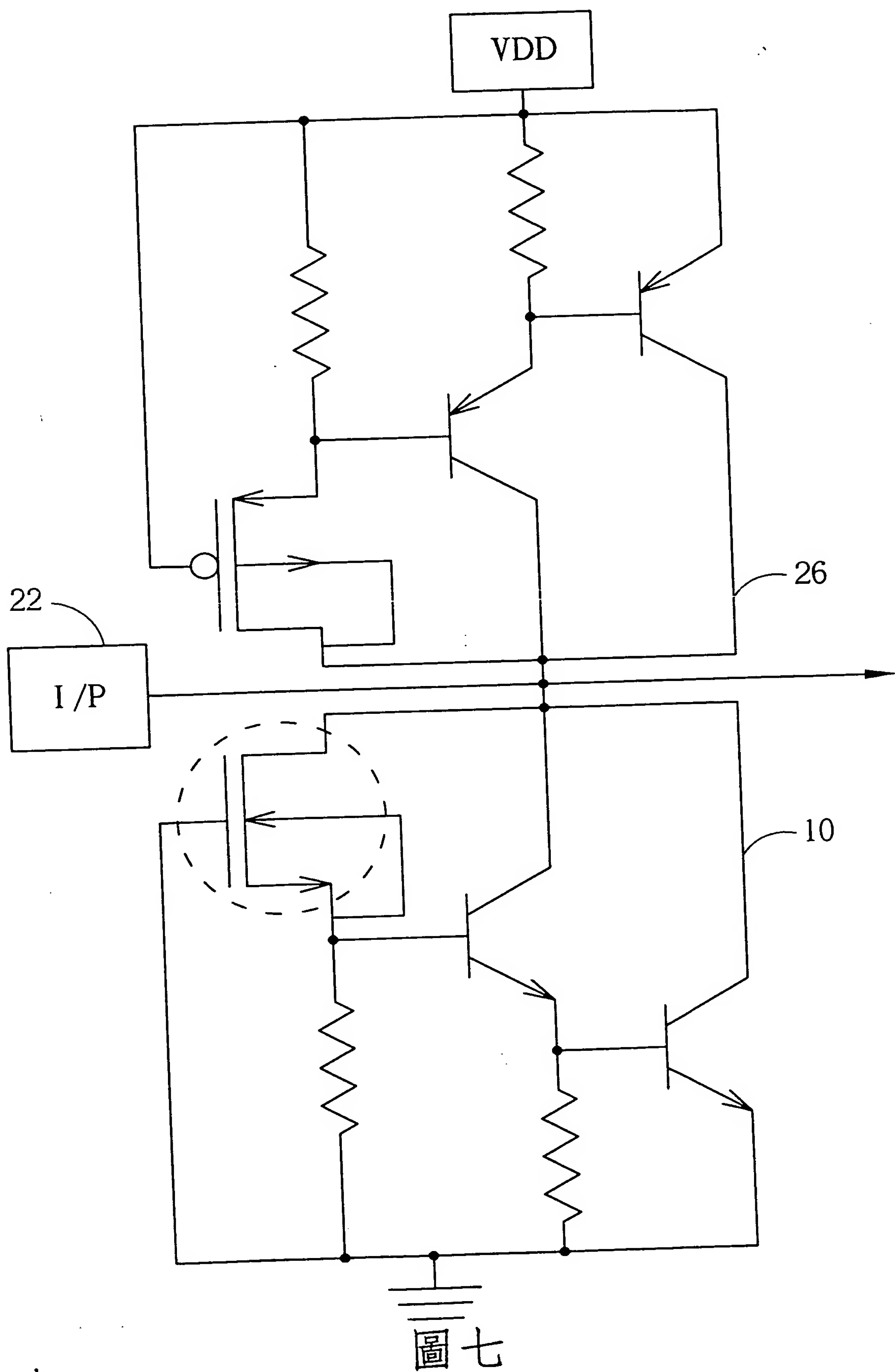
圖五A



圖五B

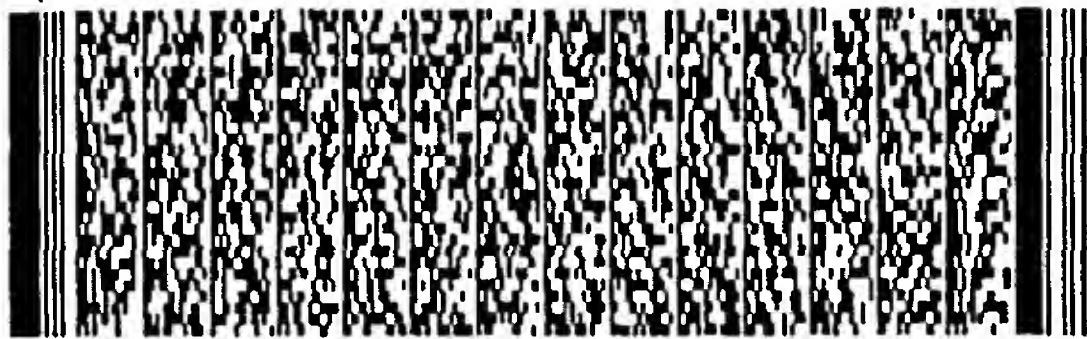


圖六

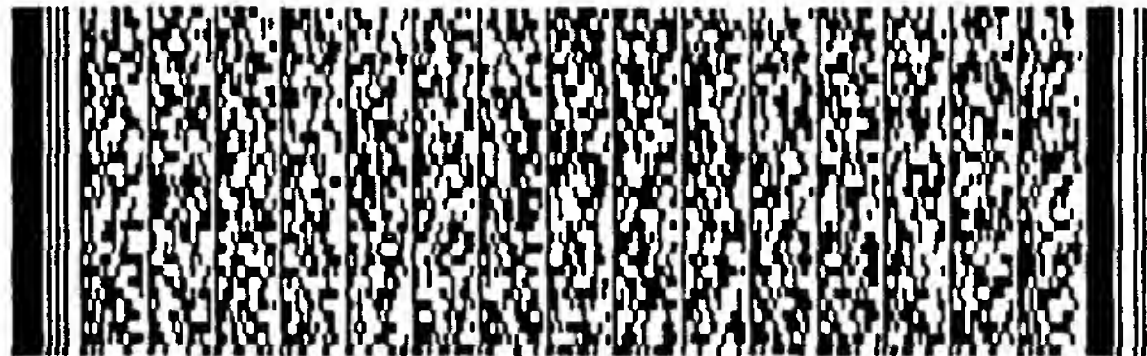


圖七

第 1/18 頁



第 2/18 頁



第 4/18 頁



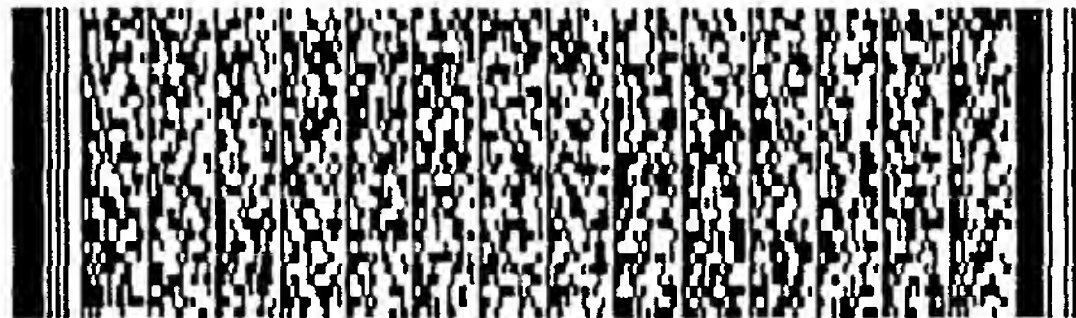
第 4/18 頁



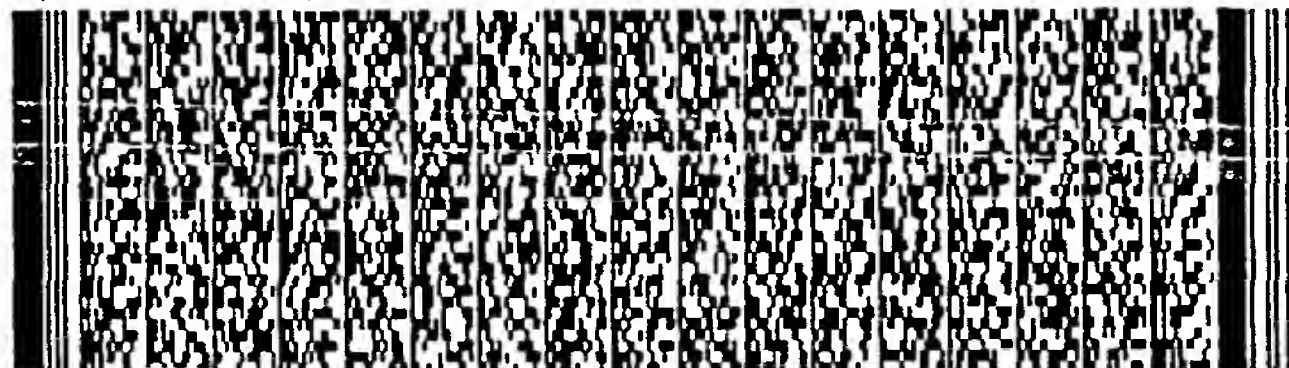
第 5/18 頁



第 5/18 頁



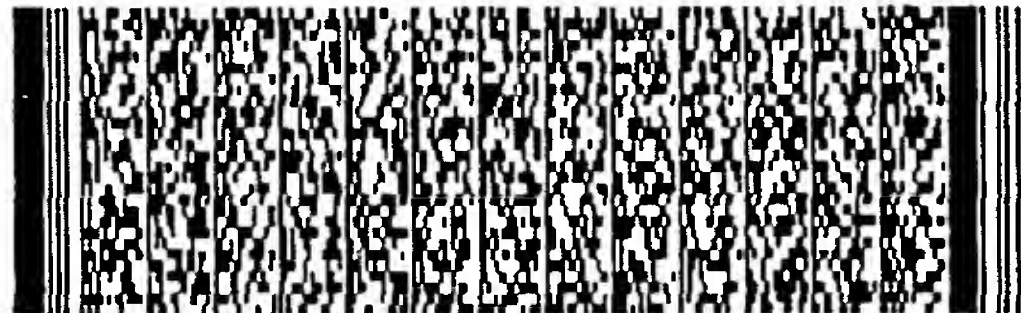
第 6/18 頁



第 7/18 頁



第 7/18 頁



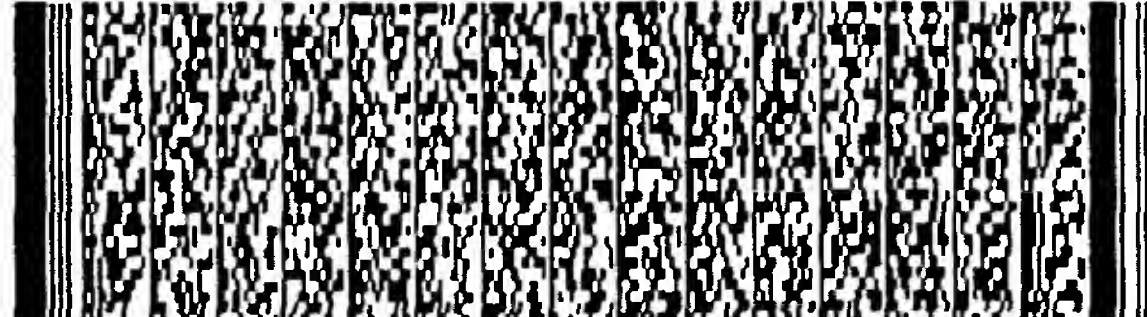
第 8/18 頁



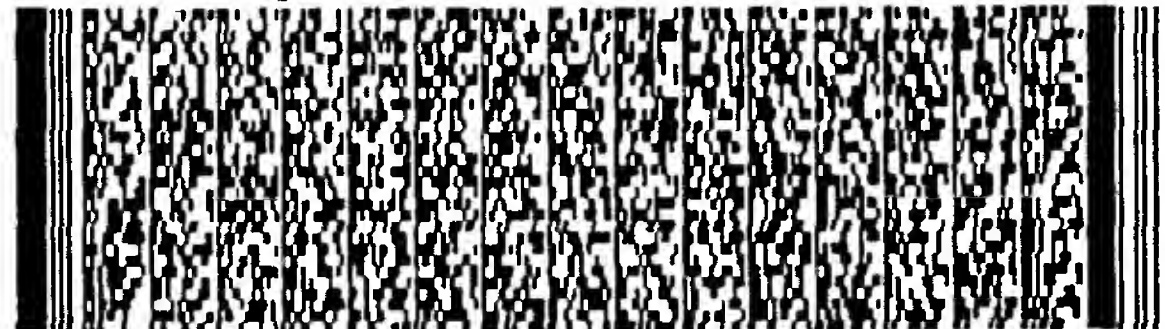
第 8/18 頁



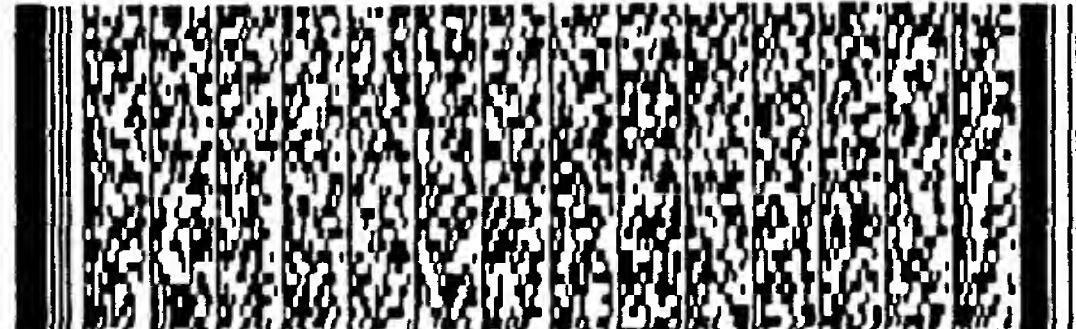
第 9/18 頁



第 9/18 頁



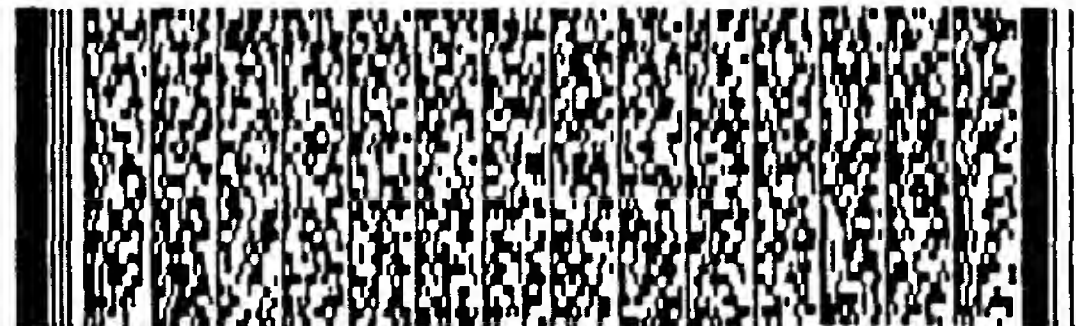
第 10/18 頁



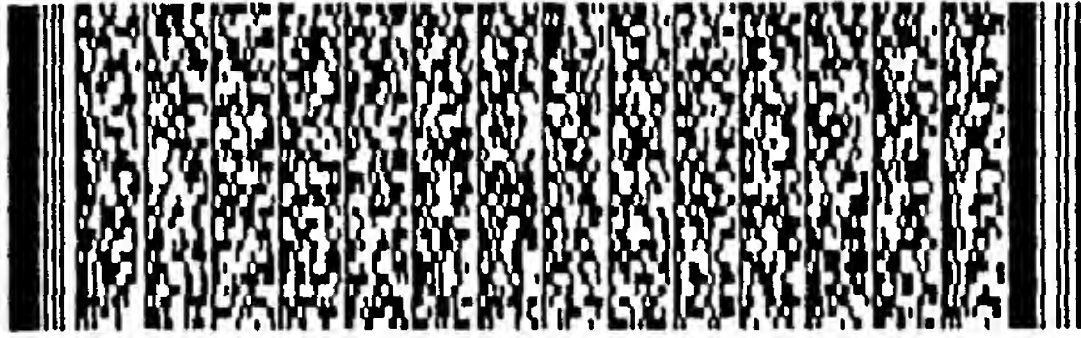
第 10/18 頁



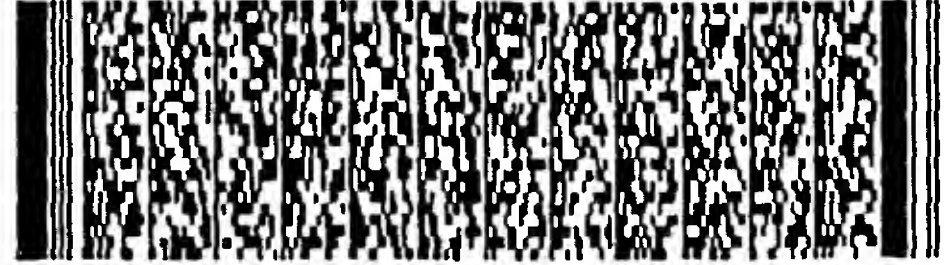
第 11/18 頁



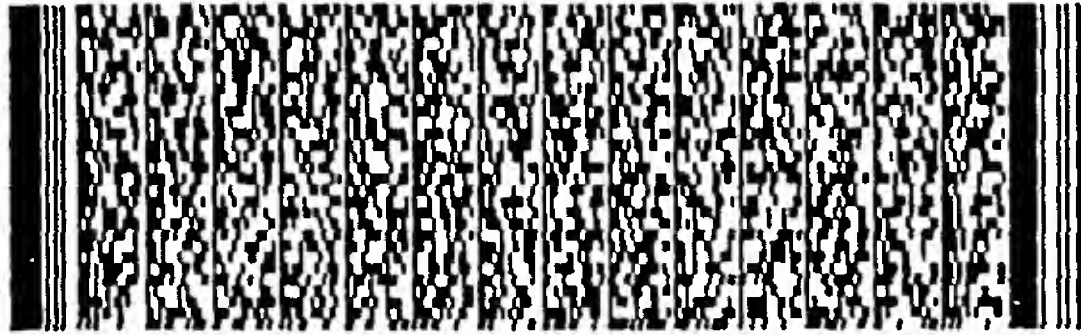
第 11/18 頁



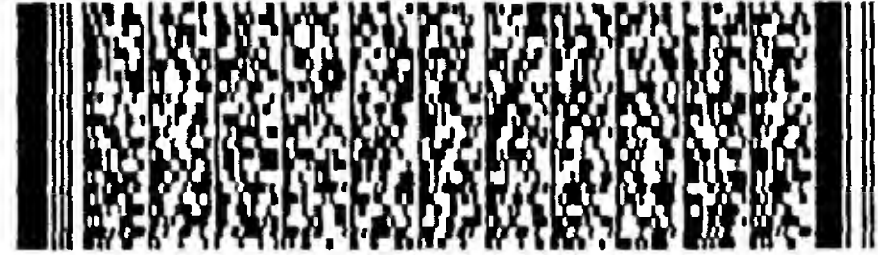
第 12/18 頁



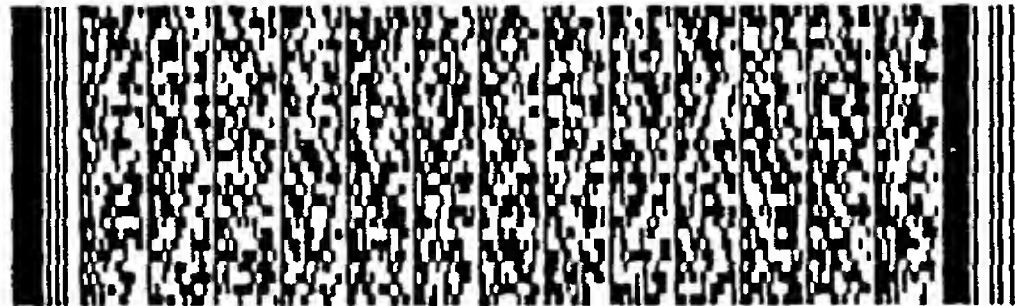
第 13/18 頁



第 14/18 頁



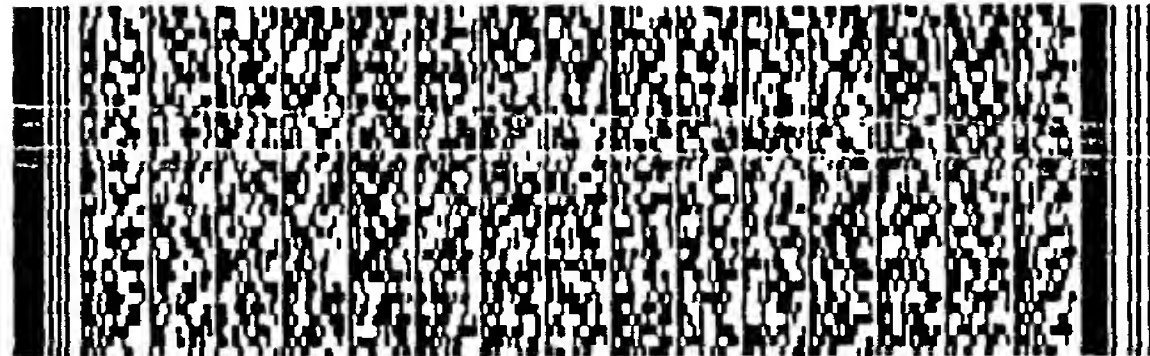
第 15/18 頁



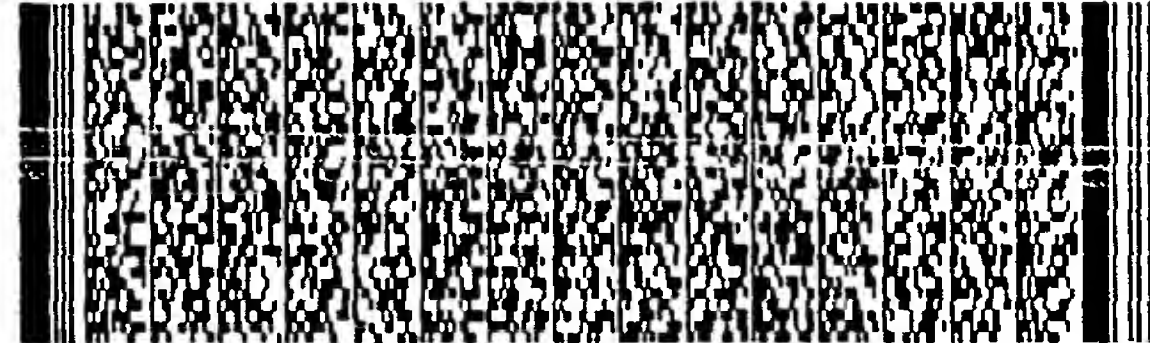
第 15/18 頁



第 16/18 頁



第 17/18 頁



第 18/18 頁

